Práctica 8. Entregable

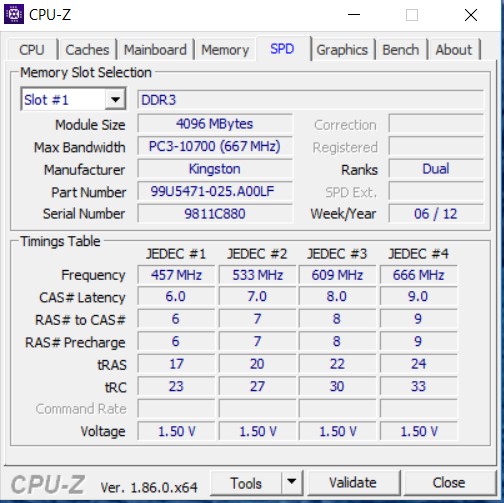
**CONFIGURACIÓN Y PRESTACIONES DE LOS MÓDULOS DE MEMORIA**

**Nombre y apellidos: Adrián Martínez Martínez**

GRUPO: 2ºC

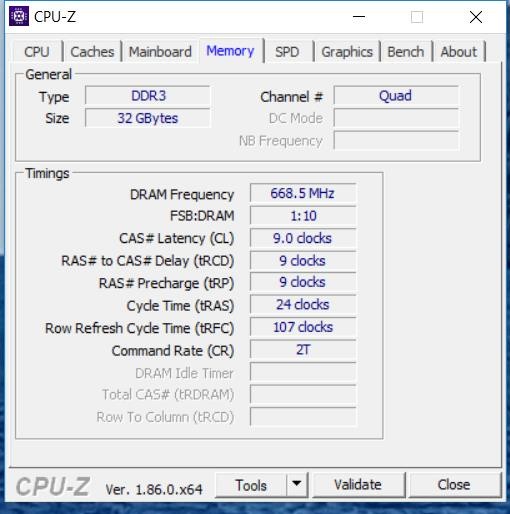
**Ejercicios propuestos: Obtención de las características de los módulos de memoria SDRAM**

Información proporcionada por el programa CPU-Z para el computador ejemplo bajo la pestaña *SPD*.



**Figura 3. Características de los módulos de memoria proporcionadas por el fabricante**

Parámetros temporales de la memoria del computador ejemplo:



**Figura 4. Principales parámetros temporales de los módulos de memoria en función de su frecuencia de trabajo**

# PARTE I. Análisis de la configuración de memoria del equipo ejemplo

1. Desde los datos proporcionados por la hoja de especificaciones de los módulos (archivo kvr1333d3n9\_4g.pdf) y el programa CPU-Z (Figuras 3 y 4) rellénese la siguiente tabla. Recuérdese que la figura 3 muestra información solo de un *slot*, pero existen otros 7 con idénticas características.

***Información sobre la capacidad y organización de los módulos de memoria***

|  |  |
| --- | --- |
| Número total de módulos DIMM | 8 |
| Tamaño de los módulos DIMM que forman la memoria  *Expresado en MB* | 4096MB |
| Tamaño total de la memoria principal disponible  *Expresado en GB* | 32GB |
| Número de canales de memoria | 4 |
| Capacidad en palabras x tamaño\_palabra de los módulos DIMM | 512M \* 64bit = 4GB |
| Número de filas de chips en cada módulo | Dos (Dual) |
| Capacidad de los chips de memoria de los módulos  *(expresada en palabras × tamaño\_palabra)* | 256M \* 8bit |
| Número total de chips de memoria contenidos en un módulo | 8 \* 2 = 16 Chips |
| Tipo de chips de memoria SDRAM que se utilizan  *(DDR-xxxx, DDR2-xxxx, DDR3-xxxx, DDR4-xxxx)* | DDR3-1333 |
| Nomenclatura estándar de los módulos empleados  *(PC-xx00, PC2-xx00, PC3-xxx00, PC4-xxx00)* | PC3-10700 |

***Información sobre frecuencia de trabajo y ancho de banda de los módulos***

|  |  |
| --- | --- |
| Frecuencia de reloj máxima a la que podrían trabajar los buses externos de los chips de memoria de los módulos | 666 Mhz |
| Tasa máxima de transferencia que podrían alcanzar los módulos de memoria (palabras que se transfieren por segundo)  *Expresada en millones de transferencias por segundo (MT/s)* | 1066 MT/s |
| Ancho de banda pico que podrían alcanzar los módulos de memoria  *Expresado en MB/s* | 667Mhz \* 8bytes \* 2 = 10672Mb/s |
| Frecuencia de reloj a la que trabajan los buses externos de los módulos del **equipo en que se ha ejecutado CPU-Z** | 668.5 Mhz |
| Ancho de banda de los módulos del **equipo en que se ha ejecutado CPU-Z**  *Expresado en MB/s* | 8Bytes\*668,5 Mhz \* 2 = 10696MB/s |

1. En la hoja de especificaciones (kvr1333d3n9\_4g.pdf ) se indica que los chips de memoria de los módulos son de tipo DDR3-1333 ¿Qué significado tiene el valor 1333?

Hace referencia a la Velocidad de Transferencia del módulo expresado en MT/s (Mega transferencias por segundo), este número multiplicado por dos (al ser DDR) y por 8bytes nos da la Tasa de Transferencia Máxima.

1. A partir de los datos proporcionados por la hoja de especificaciones de los módulos (kvr1333d3n9\_4g.pdf ) y el programa CPU-Z, rellénese la siguiente tabla con los valores de los principales parámetros temporales:

|  |  |  |
| --- | --- | --- |
|  | **ns** | **Ciclos de Reloj** |
| **tCK (ciclo de reloj)** | 1.5 |  |
| **CL** | ND | 9 |
| **TRCD** | ND | ND |
| **TRP** | ND | ND |
| **TRAS** | 36 | 24 |
| **TRC** | 49.5 | 33 |
| **TRFC** | 160 | 107 |

***Nota****: El número de ciclos de reloj debe ser siempre un entero, por lo que, en caso de necesidad, éste deberá ajustarse al entero superior. En caso de que el ciclo de reloj (****tCK****) no se indicase explícitamente en la hoja de características, éste se deberá calcular a partir de la frecuencia a la que el módulo de memoria se ha programada a través de su SPD. Puede ser que el valor en ns de algunos de estos parámetros no lo proporcione la hoja de características. En tal caso, rellénese el correspondiente hueco de la tabla con ND.*

1. Exprese la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): JEDEC #X: CL- TRCD - TRP- TRAS

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| JEDEC#4 | 9 | 9 | 9 | 24 |

1. ¿Cuánto valdría CL si la frecuencia de trabajo de los buses externos de los módulos de memoria fuera de 500 MHz?

Si el CL actual son 9 ciclos de reloj con un tck=1.5ns, tenemos que 9 \* 1.5 = 13.5ns.

Para los 500Mhz tenemos un tck=2.0ns, por lo tanto Nº Ciclos = 13.5 / 2 = 6.75. Redondeando al siguiente entero tenemos CL = 7 para una frecuencia de 500Mhz.

1. ¿Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío del comando de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

|  |  |  |
| --- | --- | --- |
|  | **Ciclos Reloj** | **ns** |
| **Tiempo de acceso** | 9 + 9 = 18 | 18\*1,5=27 |

**PARTE II. Cronograma de lectura de 3 bloques de 4 palabras.** ► Ayudados por la Figura 2 y por los valores de los parámetros temporales obtenidos en el Ejercicio 1, represéntese sobre el cronograma la temporización del envío de las sucesivas órdenes (*command*), de las correspondientes direcciones de fila o columna y del volcado de los datos correspondientes al acceso a 3 bloques pertenecientes a filas distintas de un mismo banco. Los comandos corresponderán a los de activación (A) y lectura (R). La dirección podrá ser de filas (Fi) o de columnas (Ci), donde el subíndice indica el número de orden del bloque (0 … 2) al que hacen referencia. Finalmente, los datos se expresarán en la forma Di, donde el subíndice i hace referencia a cada una de las cuatro palabras (0 … 3) que constituyen cada bloque. Asimismo, **deberán marcarse con una (P) sobre la línea de órdenes los ciclos de reloj en los que se realizan las precargas**. Recuérdese que al tratarse de una SDRAM de tipo DDR, en cada ciclo de reloj se transfieren dos palabras. ***Nota****: No hace falta representar el envío de los comandos NOP*

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | T1 | T2 | T3 | T4 | T5 | T6 | T7 | T8 | T9 | T10 | T11 | T12 | T13 | T14 | T15 | T16 | T17 | T18 | T19 | T20 | T21 | T22 | T23 | T24 | T25 | T26 | T27 | T28 | T29 | T30 | T31 | T32 | T33 | T34 | T35 | T36 |
|  | A |  |  |  |  |  |  |  |  | R |  |  |  |  |  |  |  |  |  |  |  |  |  |  | P |  |  |  |  |  |  |  |  | A |  |  |
|  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| **Dirección** | F0 |  |  |  |  |  |  |  |  | C0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | F1 |  |  |
|  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| **Datos** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | D0/D1 | D2/D3 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | T37 | T38 | T39 | T40 | T41 | T42 | T43 | T44 | T45 | T46 | T47 | T48 | T49 | T50 | T51 | T52 | T53 | T54 | T55 | T56 | T57 | T58 | T59 | T60 | T61 | T62 | T63 | T64 | T65 | T66 | T67 | T68 | T69 | T70 | T71 | T72 |
| **Orden** |  |  |  |  |  |  | R |  |  |  |  |  |  |  |  |  |  |  |  |  |  | P |  |  |  |  |  |  |  |  | A |  |  |  |  |  |
|  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| **Dirección** |  |  |  |  |  |  | C1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | F2 |  |  |  |  |  |
|  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| **Datos** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | D0/D1 | D2/D3 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | T73 | T74 | T75 | T76 | T77 | T78 | T79 | T80 | T81 | T82 | T83 | T84 | T85 | T86 | T87 | T88 | T89 | T90 | T91 | T92 | T93 | T94 | T95 | T96 | T97 | T98 | T99 | T100 | T101 | T102 | T103 | T104 | T105 | T106 | T107 | T108 |
| **Orden** |  |  |  | R |  |  |  |  |  |  |  |  |  |  |  |  |  |  | P |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| **Dirección** |  |  |  | C2 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| **Datos** |  |  |  |  |  |  |  |  |  |  |  |  | D0/D1 | D2/D3 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

# PARTE III. Análisis de la configuración de memoria del equipo del estudiante

Para llevar a cabo esta parte de la práctica el estudiante deberá instalar en su equipo personal el programa CPU-Z, bien desde el archivo proporcionado en PoliformaT o bien a través del enlace: <http://www.cpuid.com/softwares/cpu-z.html>

El archivo se deberá ejecutar en el equipo del estudiante para conocer las características más importantes del sistema. La información de memoria obtenida se deberá completar con los datos extraídos de la hoja de especificaciones proporcionada por el fabricante de los chips. Esta hoja de especificaciones es, generalmente, fácil de obtener a través de una consulta en cualquier buscador. Por ejemplo, para una memoria fabricada por Kingston cuyo identificativo fuese KHX1600C10D3B1/8G (*Part Numbe*r) bastaría con teclear en cualquier buscador “Kingston KHX1600C10D3B1/8G” para obtener las hojas de especificaciones correspondientes.

1. Copiar y pegar las capturas de pantalla obtenidas de la ejecución de CPU-Z sobre vuestro computador y que se corresponden con las pestañas *SPD* y *Memoria*, equivalentes a las mostradas en Figuras 3 y 4.
2. A partir de los datos proporcionados por el programa CPU-Z acerca de la configuración de memoria del equipo en el que se halla instalado, rellénese la tabla que aparece a continuación:

|  |  |
| --- | --- |
| Identificativo de la memoria proporcionado por el fabricante | *CMK16GX4M2B3200C16* |
| Número total de módulos DIMM | 4 |
| Tamaño total de la memoria principal disponible  *Expresado en GB* | 32GB |
| Nomenclatura estándar de los módulos empleados  *(PC-xx00, PC2-xx00, PC3-xxx00, PC4-xxx00)* | PC4-25600 |
| Frecuencia de reloj a la que trabajan los buses externos de los módulos SDRAM en el equipo analizado | 1068,5 Mhz |
| Ciclo de reloj al que trabajan los buses externos de los módulos SDRAM en el equipo analizado  *Expresado en ns* | 1/1068,5Mhz = 0,936 ns |
| Ancho de banda pico de los módulos SDRAM en el equipo analizado  *Expresado en MB/s* | 1068,5 \* 8\* 2 = 17096 MB/s |

1. Expresar la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): {CL- TRCD - TRP- TRAS}, de acuerdo a la temporización JEDEC #i requerida con arreglo a la frecuencia de los buses de la SDRAM

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| JEDEC#7 | 15 | 15 | 15 | 36 |

1. Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío de la orden de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

|  |  |
| --- | --- |
| **Ciclos Reloj** | **ns** |
| **Tiempo de acceso Trcd+CL = 15+15=30** | 30\*tCLK = 28,08 |

1. Localizar la hoja de características de los módulos de memoria que, según CPU- Z, se encuentran instalados en el equipo analizado. Adjuntar copia de tales hojas como anexo al final de este entregable.

***Nota****: En ocasiones, el identificativo de memoria ofrecido por CPU-Z no se corresponde con el real, el cual se puede observar abriendo el equipo y examinando la leyenda contenida sobre los módulos DIMM instalados. Si se puede realizar fácilmente esta operación indique a continuación la identificación auténtica de los módulos*

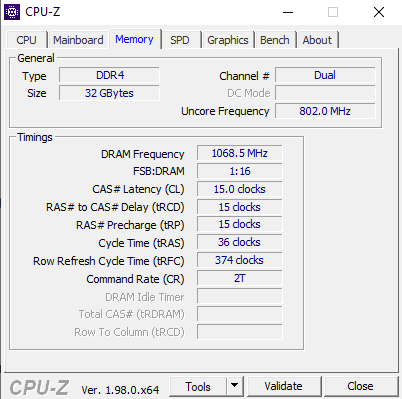
|  |
| --- |
| *CMK16GX4M2B3200C16* |

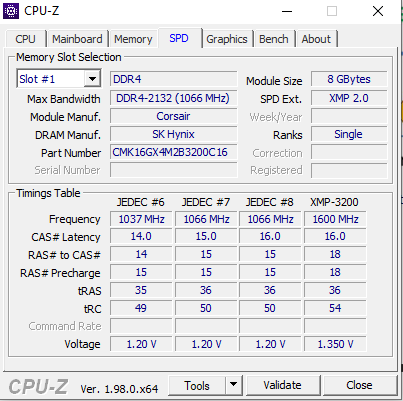
1. A partir de los datos proporcionados por la hoja de características de los módulos de memoria que ha localizado (según identificador ofrecido por CPU- Z), rellénese la tabla que aparece a continuación:

|  |  |
| --- | --- |
| Capacidad en palabras × tamaño\_palabra de los módulos DIMM | 1024M \* 64 |
| Número de filas en la que se organizan los chips dentro de cada módulo | 1 Rank |
| Número total de chips de memoria contenidos en un módulo | 8 |
| Capacidad en palabras × tamaño\_palabra de los chips de memoria de los módulos | 1024Mb \* 8 |
| Tipo de chips de memoria SDRAM que se utilizan  *(DDR-xxxx, DDR2-xxxx, DDR3-xxxx, DDR4-xxxx)* | DDR4-2132 |
| Frecuencia de reloj máxima a la que podrían trabajar los buses externos de los chips de memoria de los módulos  *Expresada en MHz* | 1600Mhz |
|  |  |

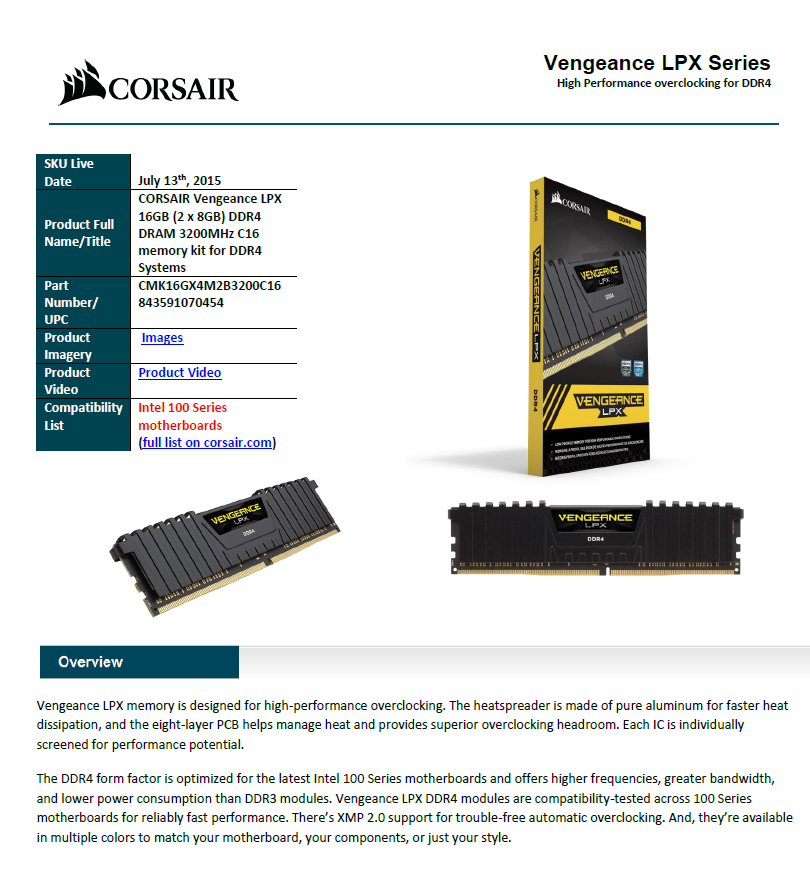
|  |  |
| --- | --- |
| Tasa máxima de transferencia que podrían alcanzar los módulos (palabras que se transfieren por segundo)  *Expresada en millones de transferencias por segundo (MT/s)* | 2132 |
| Ancho de banda pico que podrían alcanzar los módulos  *Expresado en MB/s* | 1600 \* 8 \* 2= 25600 MB/s |

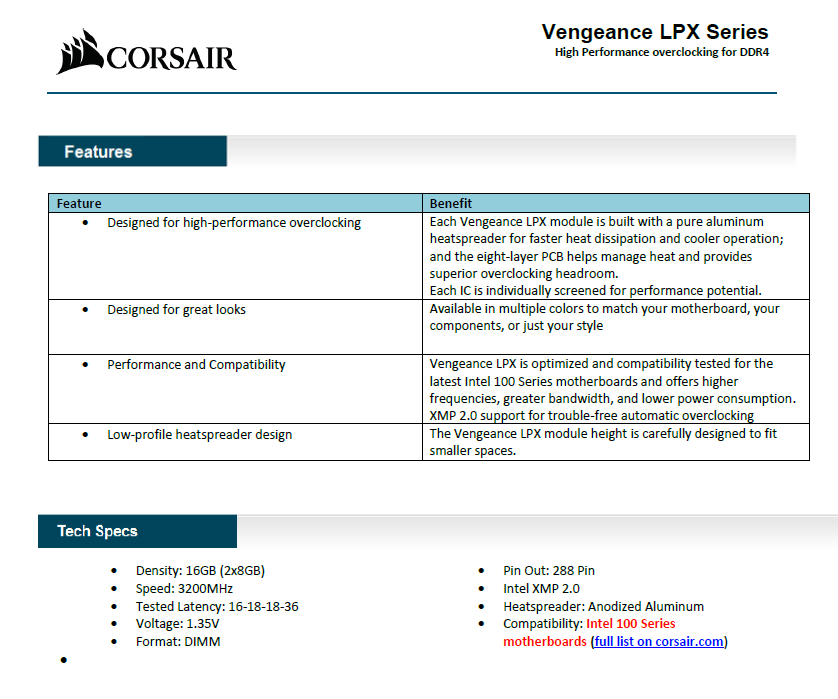
Insertar aquí capturas de pantalla obtenidas tras la ejecución del programa CPU-Z

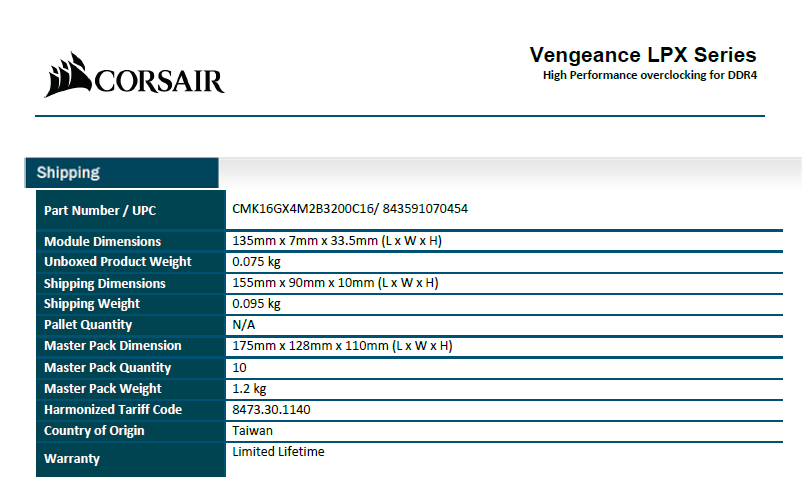




Insertar aquí hoja de especificaciones del fabricante







A continuación, capturas de pantalla no provenientes directamente de CORSAIR con algo más de información:

